

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請 日：西元 2003 年 09 月 10 日
Application Date

申請 案 號：092125074
Application No.

申請 人：瑞昱半導體股份有限公司
Applicant(s)

BEST AVAILABLE COPY

局 長
Director General

蔡練生

發文日期：西元 2003 年 10 月 31 日
Issue Date

發文字號：09221108440
Serial No.

申請日期：92.9.10	IPC分類 G01R31/3177
申請案號：92125074	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	多時脈域邏輯系統之架構及相關方法
	英文	A MULTI-TIME DOMAIN LOGIC SYSETEM AND RELATED METHOD
二、 發明人 (共1人)	姓名 (中文)	1. 葉大嘉
	姓名 (英文)	1. Yeh, Ta-Chia
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 新竹市安康街六巷三十四號
	住居所 (英文)	1. No. 34, Lane 6, An-Kang St., Hsin-Chu City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 瑞昱半導體股份有限公司
	名稱或姓名 (英文)	1. Realtek Semiconductor Corp.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹縣新竹科學園區工業東九路二號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 2 Industry E. Rd. IX, Science-Based Industrial Park, Hsin-Chu Hsien, Taiwan, R.O.C.
	代表人 (中文)	1. 葉博任
	代表人 (英文)	1. Yeh, Po-Len



四、中文發明摘要 (發明名稱：多時脈域邏輯系統之架構及相關方法)

一多時脈域邏輯系統，包含有複數個時脈域，該些時脈域係分別對應於複數個時脈訊號，且每該時脈域至少包括一正反器群組。其中，當進行掃描測試時，一掃描測試訊號係非同步地依一已知順序輸入該些正反器群組，作為該些正反器群組之時脈訊號。

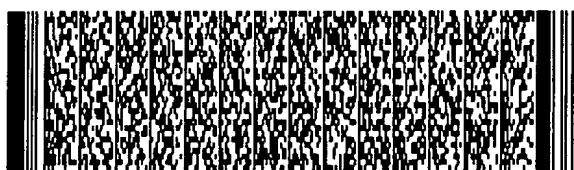
五、(一)、本案代表圖為：第 二 圖

(二)、本案代表圖之元件代表符號簡單說明

200	多時脈域邏輯系統	210	第一時脈域
212	第一邏輯閘群組	214	第一延遲裝置
216	第一多工器	218	第一正反器群組
220	第二正反器群組	250	第二時脈域
252	第二邏輯閘群組	254	第二延遲裝置
256	第二多工器	258	第三正反器群組

六、英文發明摘要 (發明名稱：A MULTI-TIME DOMAIN LOGIC SYSETEM AND RELATED METHOD)

A multi-time domain logic system, comprising a plurality of clock domains, wherein each of the clock domains corresponds to a clock signal respectively, and each of the clock domains comprises at least one flip-flop group. During a scanning test, a scanning test signal is inputted into the flip-flop groups asynchronously with a predetermined order, as the clock signals of the



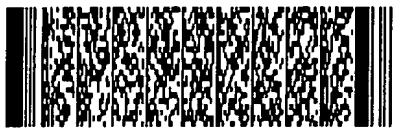
四、中文發明摘要 (發明名稱：多時脈域邏輯系統之架構及相關方法)

260 第四正反器群組

代表化學式

六、英文發明摘要 (發明名稱：A MULTI-TIME DOMAIN LOGIC SYSETEM AND RELATED METHOD)

flip-flop groups.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明提供一種多時脈域邏輯系統，尤指一種整合了邏輯運算功能與掃瞄測試功能的多時脈域邏輯系統及其相關方法。

先前技術

數位邏輯電路普遍地被應用在許多電子產品中。一般數位邏輯電路包括組合電路 (combinational circuits) 與序列電路 (sequential circuits)。組合電路係根據目前的輸入訊號來產生輸出訊號，而序列電路具有記憶功能，能夠根據先前的輸入訊號來產生輸出訊號。

有些數位邏輯電路需要兩種以上的時脈 (clock domain) 訊號作為同步運作的基準。其中根據同一頻率的時脈訊號運作的元件組合可稱為時脈域，因此該種數位邏輯電路係包含兩個以上的時脈域，而每個時脈域中的元件係以該時脈域對應之特定頻率的時脈訊號作為同步運作的基準。

在設計跟製造數位邏輯電路時，必須藉由適當的裝置來進行電路偵錯及測試。習知的數位邏輯電路測試方式係採用將多個正反器掃描單元 (或掃瞄正反器) 彼此串接



五、發明說明 (2)

為一掃描鏈 (scan chain)，透過將特定的邏輯值依序載入該掃描鏈中，來偵錯該數位邏輯電路，此作法稱為掃描測試。

請參閱圖一，圖一為習知技術一多時脈域邏輯系統之簡單示意圖。圖一中的多時脈域邏輯系統 100 包含有接收第一時脈訊號 CLK1 的第一時脈域 110 及接收第二時脈訊號 CLK2 的第二時脈域 150。以第一時脈域 110 為例：其包括第一正反器群組 118、第二正反器群組 120 及第一邏輯閘群組 112。在進行邏輯運算時，模式訊號 TEST_MODE 係被設定為 0，第一正反器群組 118 係依據第一時脈訊號 CLK1 運作，而第一邏輯閘群組 112 會依據第一時脈訊號 CLK1 產生一第一邏輯訊號 LOG1，透過第二多工器 116，作為第二正反器群組 120 的時脈訊號。至於在進行掃描測試時，TEST_MODE 係被設定為 1，測試時脈訊號 TEST_CLK 透過第一多工器 114 及第二多工器 116 分別作為第一正反器群組 118 及第二正反器群組 120 的時脈訊號。需注意的是，測試時脈訊號 TEST_CLK 除了可以是專門作為掃描測試用的獨立的時脈訊號，如圖一所示，亦可以為第一時脈訊號 CLK1 或第二時脈訊號 CLK2 之其中之一者。

這樣的系統架構主要面臨兩個問題，第一個問題是在進行掃描測試時，四個正反器群組中的每一個正反器都會受 TEST_CLK 控制，當 TEST_CLK 產生轉態 (transition)



五、發明說明 (3)

時，所有的正反器都會同時被觸發，導致系統瞬時的功率消耗過大。若超出原本對正常模式（即邏輯運算模式）所規劃的功率計畫（power plan），則可能會造成晶片在測試時損毀的危險。

第二個問題則是，由於測試時脈訊號 TEST_CLK 到每一個正反器群組的信號傳送路徑的長度不同，因此有可能會有時脈扭曲（clock skew）的情形，亦即測試時脈訊號 TEST_CLK 不會同時輸入至每個正反器群組，如此，可能會造成掃描測試發生錯誤。

發明內容

因此本發明的主要目的，在於提供一種多時脈域邏輯系統，包含有一個或多個延遲裝置，以解決習知技術所面臨的問題。

根據本發明專利申請範圍，係揭露一多時脈域邏輯系統，包含有：複數個時脈域，該些時脈域係分別對應於複數個時脈訊號，且每該時脈域至少包括一正反器群組；其中，當進行掃描測試時，一掃描測試時脈訊號係非同步地依一已知順序輸入該些正反器群組，作為該些正反器群組之時脈訊號。



五、發明說明 (4)

實施方式

請參閱圖二，圖二為本發明多時脈域邏輯系統第一實施例示意圖。圖二所示之多時脈域邏輯系統 200 包含有一第一時脈域 210 與一第二時脈域 250。以第一時脈域 210 為例：其包括第一正反器群組 218、第二正反器群組 220 及第一邏輯閘群組 212。在進行邏輯運算時，模式訊號 TEST_MODE 係被設定為 0，第一正反器群組 218 係依據第一時脈訊號 CLK1 運作，而第一邏輯閘群組 212 會依據第一時脈訊號 CLK1 產生一第一邏輯訊號 LOG1，透過多工器 216，作為第二正反器群組 220 的時脈訊號。

而在進行掃描測試時，TEST_MOD 被設為 1，為了使此時的多時脈域邏輯系統 200 不會有瞬時功率過大的情形產生，在多工器 216、256 之前分別加上了一第一延遲裝置 214 與一第二延遲裝置 254。因此，若單看第一時脈域 210，在進行掃描測試時，因為第一正反器群組 218 會依據第一時脈訊號 CLK1 工作，而第二時脈域則依據一第一延遲訊號 CLK1' 工作。其中，第一延遲訊號 CLK1' 係利用第一延遲裝置 214，將第一時脈訊號 CLK1 延遲一段時間之後，再輸入至第二正反器群組 220。由於第一時脈訊號 CLK1 及第一延遲訊號 CLK1' 兩者是相互錯開的訊號，因此對第一時脈域 210 不會有瞬時功率過大的情形產生。對第二時脈域 250 而言也是同樣的情形。另外，亦可刻意的將第一時脈



五、發明說明 (5)

訊號 CLK1與第二時脈訊號 CLK2錯開，以造成四個正反器群組的時脈訊號間不會有同步的情形產生。如此可以更佳確保整個系統不會面臨瞬時功率過大的情形。

以上所示的系統架構，在掃描測試模式下，各時脈域基本上還是依據各時脈域的時脈訊號（或其延遲訊號）工作。而事實上，本發明所提出的系統架構亦可適用於多個時脈域在測試模式依據共同的測試時脈訊號（或其延遲訊號）工作。以下將簡述這樣的系統架構。

請參閱圖三，圖三為本發明多時脈域邏輯系統第二實施例示意圖。多時脈域邏輯系統 300包含有一第一時脈域 310及一第二時脈域 350。於進行邏輯運算時 TEST_MOD被設為 0，第一正反器群組 320、第二正反器群組 322、第三正反器群組 362、第四正反器群組 364會分別依據第一時脈訊號 CLK1、第一邏輯訊號 LOG1、第二時脈訊號 CLK2、第二邏輯訊號 LOG2工作。

至於在進行掃描測試時，TEST_MOD被設為 1，為了使此時的多時脈域邏輯系統 300不會有瞬時功率過大的情形產生，在多工器 318、358、360之前分別加上了一第一延遲鍊 314、一第二延遲鍊 354、一第三延遲鍊 360。且第二延遲鍊 354中包含的延遲裝置的數目多於第一延遲鍊 314中包含的延遲裝置數目；第三延遲鍊 356中包含的延遲裝置



五、發明說明 (6)

的數目多於第二延遲鍊 354 中包含的延遲裝置數目。因此整個系統在進行掃描測試時在進行掃描測試時，第一測試訊號 TEST_CLK1、第二測試訊號 TEST_CLK2、第三測試訊號 TEST_CLK3、第四測試訊號 TEST_CLK4 在時間上是依序錯開的，也因此圖中的四個正反器群組在掃描測試時不會有同步運作的情形，瞬時功率消耗過大的情形也可以因此避免。

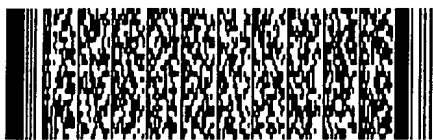
請注意，為了說明上的方便，圖二、圖三所示的實施例中都僅顯示出兩個時脈域，每個時脈域中僅顯示出兩個正反器群組。但實際上的多時脈域邏輯系統可以包含有一個或多個不同的時脈域，每個時脈域亦可以包含有一個或多個正反器群組。此外，測試時脈訊號 TSET_CLK 除了可以是專門作為掃描測試用的獨立的時脈訊號，亦可以為第一時脈訊號 CLK1 或第二時脈訊號 CLK2 之其中之一者。

相較於習知技術，本發明係藉由控制輸入每個正反器群組的時脈訊號的時脈扭曲的大小，將掃描測試訊號非同步地依照一已知順序輸入每個正反器群組。使得在測試模式時，不同的正反器群組可依據時間上不同步的時脈訊號工作。因此不會有瞬時功率消耗過大的情形產生。且因為其時脈扭曲係為可控制的，故不會有習知技術之有可能造成掃描測試錯誤的問題。



五、發明說明 (7)

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為習知技術一多時脈邏輯系統之示意圖。

圖二為本發明多時脈邏輯系統第一實施例示意圖。

圖三為本發明多時脈邏輯系統第二實施例示意圖。

圖式之符號說明

100、200、300 多時脈域邏輯系統

110、210、310 第一時脈域

112、212、312 第一邏輯閘群組

114、216、316 第一多工器

116、256、318 第二多工器

118、218、320 第一正反器群組

120、220、322 第二正反器群組

150、250、350 第二時脈域

152、252、352 第二邏輯閘群組

154、358 第三多工器

156、360 第四多工器

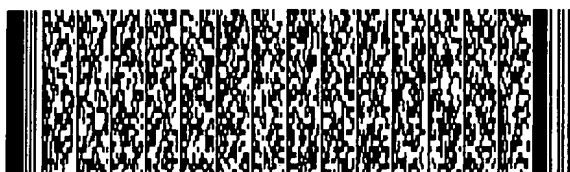
158、258、362 第三正反器群組

160、260、364 第四正反器群組

314 第一延遲鍊

354 第二延遲鍊

356 第三延遲鍊



六、申請專利範圍

1. 一多時脈域邏輯系統，包含有：

複數個時脈域，該些時脈域係分別對應於複數個時脈訊號，且每該時脈域至少包括一正反器群組；

其中，當進行掃描測試時，一掃描測試時脈訊號係非同步地依一已知順序輸入該些正反器群組，作為該些正反器群組之時脈訊號。

2. 如申請專利第1項所述之多時脈域邏輯系統，其中該些時脈域包括一第一時脈域，耦合於一第一時脈訊號，包含有：

一第一正反器群組，耦合於該第一時脈訊號；

一第二正反器群組；以及

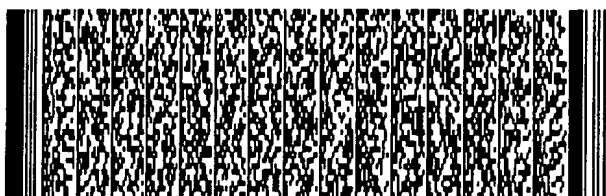
一第一邏輯閘群組，耦合於該第一時脈訊號，用以產生一第一邏輯訊號；

其中，當進行邏輯運算時，該第一正反器群組係依據該第一時脈訊號，該第二正反器係依據該第一邏輯訊號作為時脈訊號；

其中，當進行掃描測試時，該掃描測試時脈訊號係依序且非同步地輸入該第一正反器群組及該第二正反器群組，作為時脈訊號。

3. 如申請專利第2項所述之多時脈域邏輯系統，其中該第一時脈域更包括：

一第一延遲裝置，耦合於該掃描測試時脈訊號，用以延



六、申請專利範圍

遲該掃描測試時脈訊號；以及

一第一多工器，耦合於該第一邏輯閘群組、該第一延遲裝置與該第二正反器群組，用以選擇性地輸出該第一邏輯訊號或該延遲掃描測試時脈訊號至該第二正反器群組。

4. 如申請專利第2項所述之多時脈域邏輯系統，其中該第一時脈域更包括：

一第一延遲裝置，耦合於該掃描測試時脈訊號，用以延遲該掃描測試時脈訊號；以及

一第一多工器，耦合於該第一延遲裝置與該第一正反器群組，用以選擇性地輸出該第一時脈訊號或該延遲掃描測試時脈訊號至該第一正反器群組。

5. 如申請專利第2項所述之多時脈域邏輯系統，其中該第一正反器群組與該第二正反器群組係串接於一掃描鍊中。

6. 如申請專利第1項所述之多時脈域邏輯系統，其中該多時脈域邏輯系統更包括：

一第一時脈域，耦合於一第一時脈訊號，包括至少一第一正反器群組；以及

一第二時脈域，耦合於一第二時脈訊號，包括至少一第二正反器群組；



六、申請專利範圍

其中，當進行掃描測試時，該掃描測試時脈訊號係依序且非同步地輸入該第一正反器群組及該第二正反器群組，作為時脈訊號。

7. 如申請專利第6項所述之多時脈域邏輯系統，其中該多時脈域邏輯系統更包含有：

一第一延遲裝置，耦合於該掃描測試時脈訊號，用以延遲該掃描測試時脈訊號；以及

一第一多工器，耦合於該第一延遲裝置與該第二正反器群組，用以選擇性地輸出該第二時脈號或該延遲掃描測試時脈訊號至該第二正反器群組。

8. 如申請專利第1項所述之多時脈域邏輯系統，其中每該正反器群組包含有至少一第一單元，用以選擇輸出一功能輸入訊號或一掃描輸入訊號。

9. 如申請專利第8項所述之多時脈域邏輯系統，其中該第一單元係為一掃描正反器。

10. 如申請專利第8項所述之多時脈域邏輯系統，其中該第一單元包含有：

一第一多工器，用以選擇輸出該功能輸入訊號或該掃描輸入訊號；以及

一第一正反器，用以接收該功能輸入訊號或該掃描輸入



六、申請專利範圍

訊號，並依據相對應之該時脈訊號將之輸出。

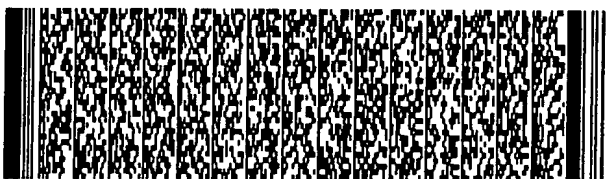
11. 如申請專利第1項所述之多時脈域邏輯系統，其中該掃描測試時脈訊號係為該些時脈訊號之一者。

12. 一多時脈域邏輯系統，包含有：

- 一第一時脈域，耦合於一第一時脈訊號，包含有：
- 一第一正反器群組，耦合於該第一時脈訊號；
- 一第二正反器群組；以及
- 一第一延遲裝置，用以輸出一第一延遲掃描測試時脈訊號；以及
- 一第二時脈域，耦合於一第二時脈域訊號，包含有：
 - 一第三正反器群組，耦合於該第二時脈訊號；以及
 - 一第二延遲裝置，用以輸出一第二延遲掃描測試時脈訊號；

其中，當進行掃描測試時，藉由該第一延遲裝置及該第二延遲裝置，一掃描測試時脈訊號係非同步地以一已知順序輸入該第一正反器群組、該第二正反器群組及該第三正反器群組。

13. 如申請專利第12項所述之多時脈域邏輯系統，其中該第一延遲掃描測試時脈訊號係領先或落後於該第二延遲掃描測試時脈訊號。



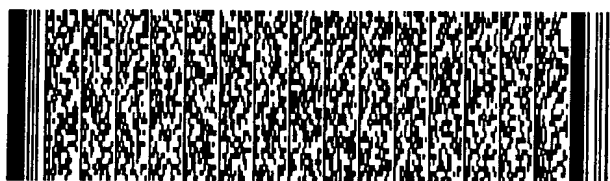
六、申請專利範圍

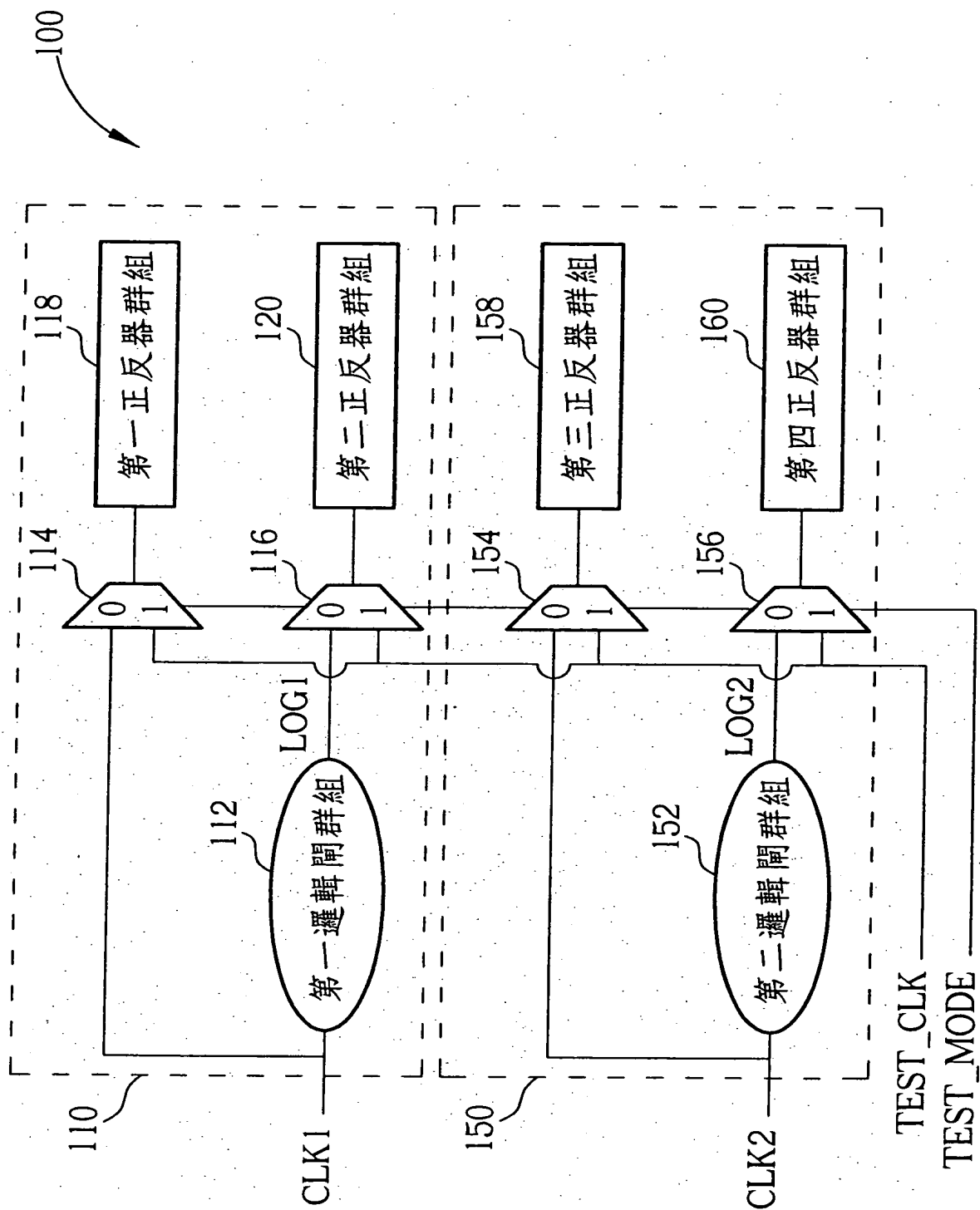
14. 如申請專利第12項所述之多時脈域邏輯系統，其中該第一時脈域更包括一邏輯閘群組，與該第二正反器群組耦接，用以依據該第一時脈訊號輸出一第一邏輯訊號，其中，當進行邏輯運算時，該第二正反器群組係依據該第一邏輯訊號工作。

15. 如申請專利第12項所述之多時脈域邏輯系統，其中該掃描測試時脈訊號係為該第一時脈訊號或該第二時脈訊號。

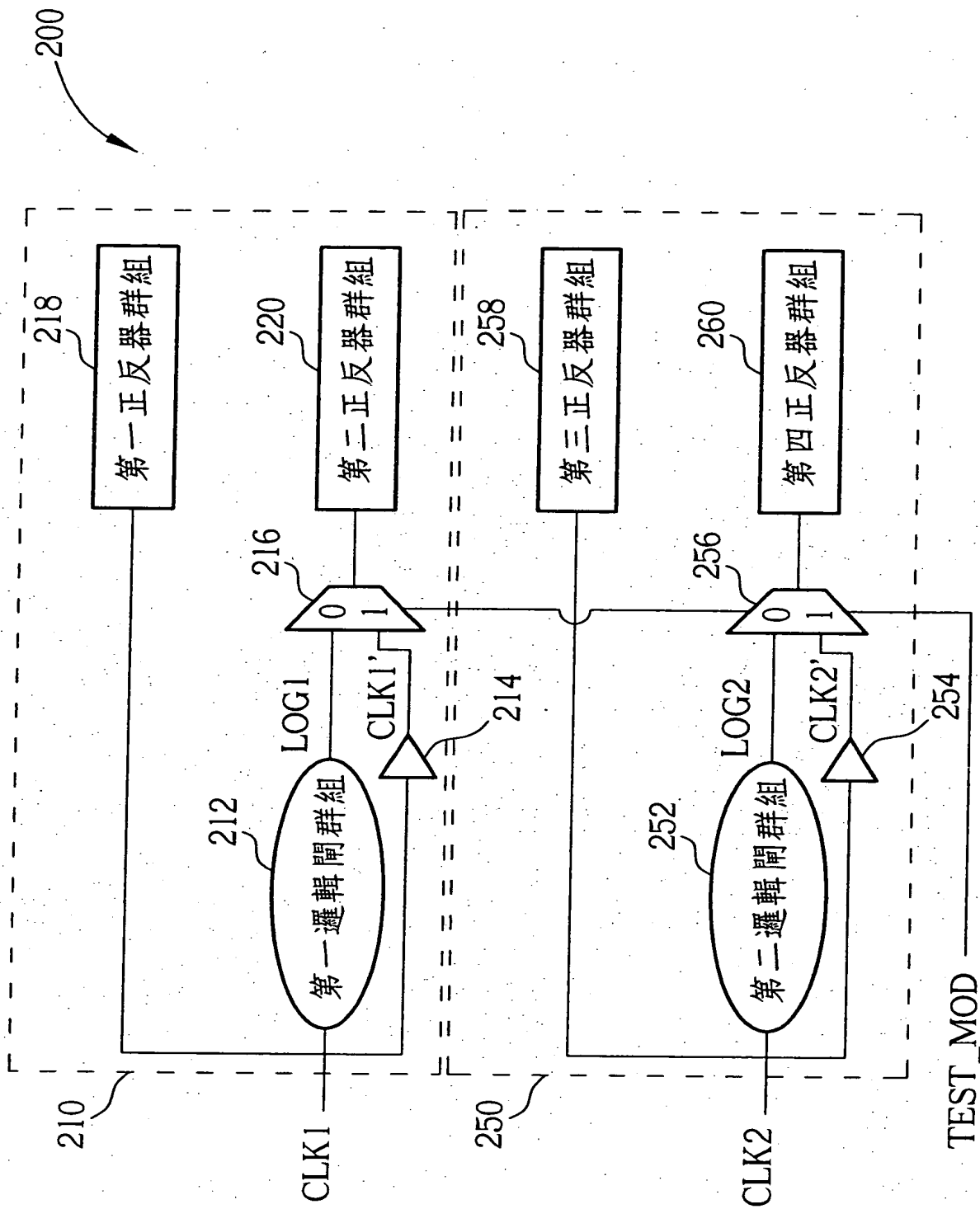
16. 一種多時脈域邏輯系統之掃描測試方法，包含有：
當進行邏輯運算時，一第一正反器群組及一第二正反器群組分別依據一第一時脈訊號及一第二時脈訊號工作；
以及
當進行掃描測試時，該第一正反器群組係依據一第一掃描測試時脈訊號，該第二正反器群組係依據延遲之該第一掃描測試時脈訊號工作。

17. 如申請專利第16項所述之方法，其中該方法另包含有：
延遲該第一掃描測試時脈訊號，並輸出至該第二正反器群組。

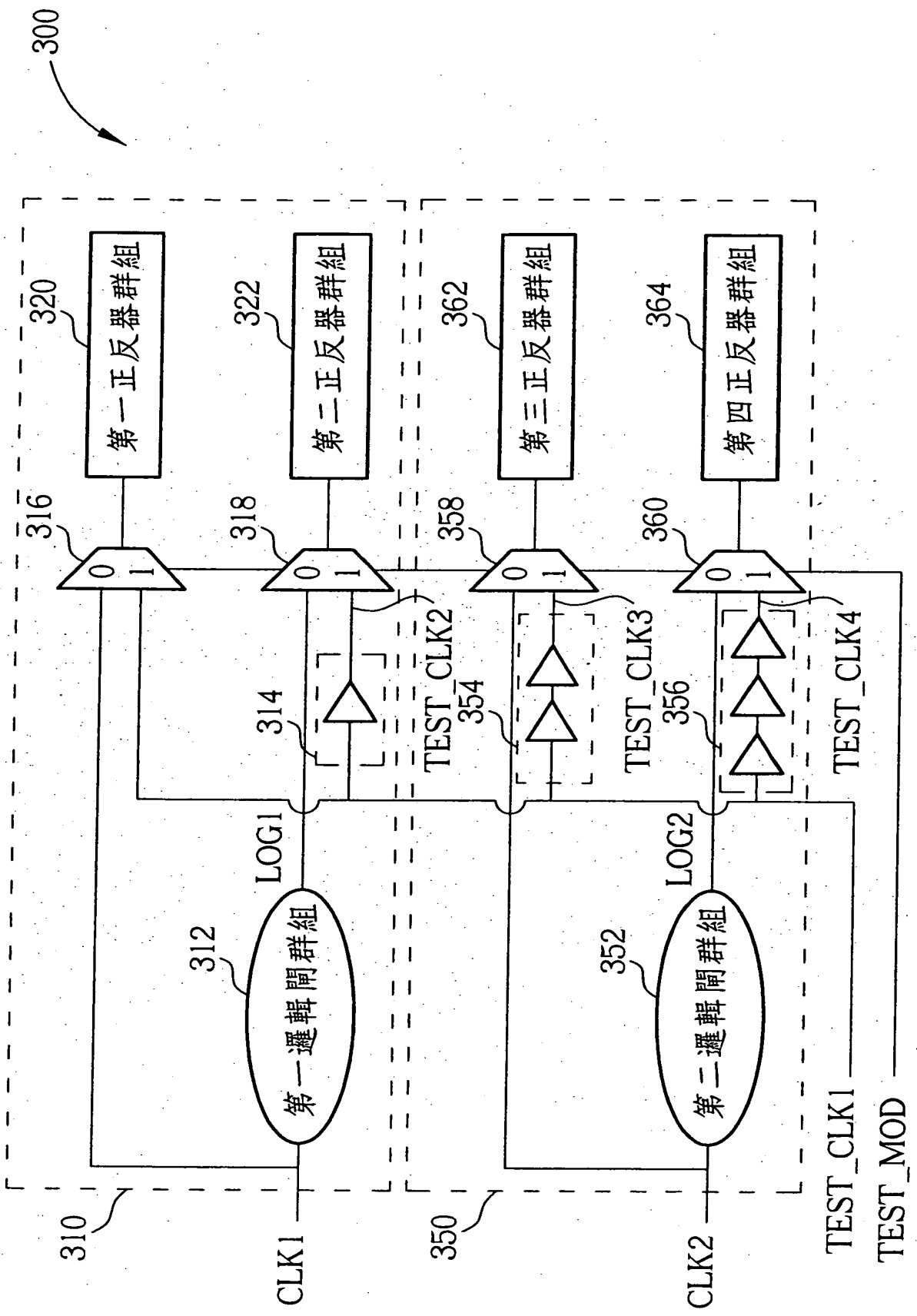




圖一

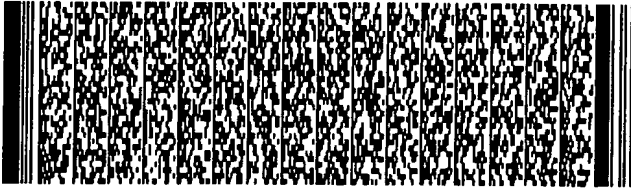


圖二

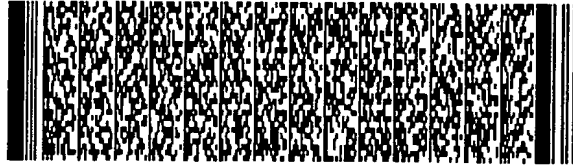


圖三

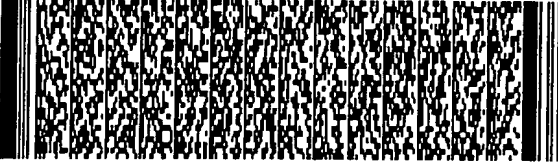
第 1/17 頁



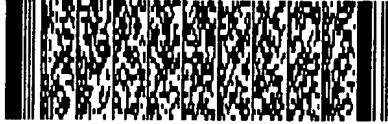
第 2/17 頁



第 2/17 頁



第 3/17 頁



第 4/17 頁



第 5/17 頁



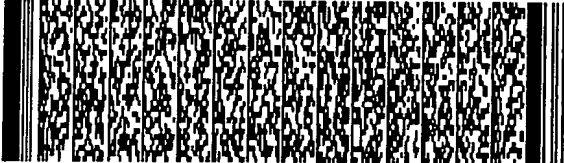
第 5/17 頁



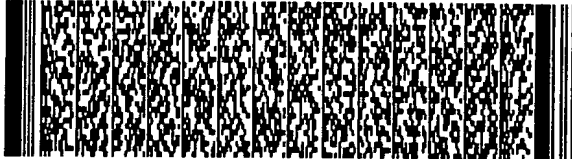
第 6/17 頁



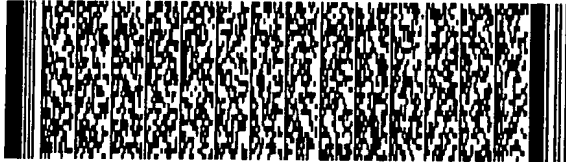
第 6/17 頁



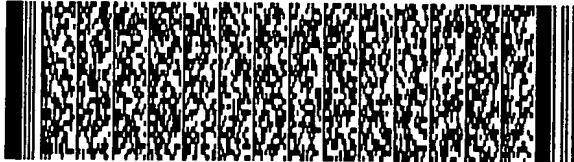
第 7/17 頁



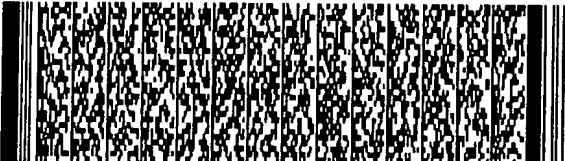
第 7/17 頁



第 8/17 頁



第 8/17 頁



第 9/17 頁



第 9/17 頁



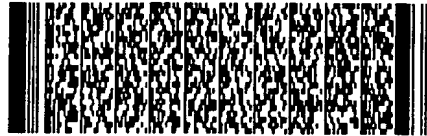
第 10/17 頁



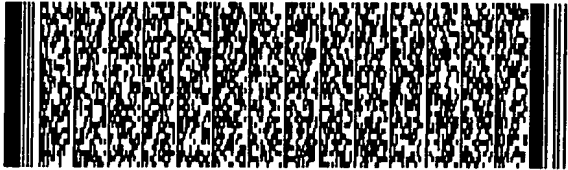
第 10/17 頁



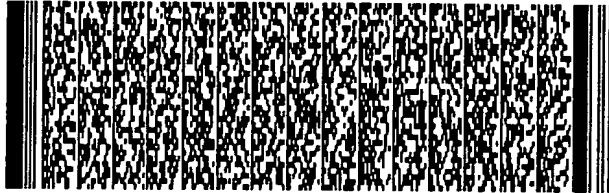
第 11/17 頁



第 12/17 頁



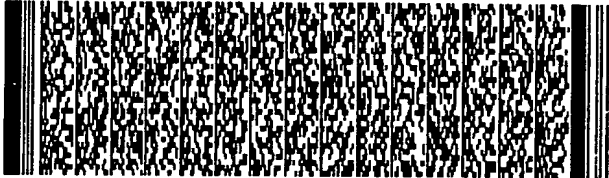
第 13/17 頁



第 14/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁

